

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



JPW

PATENT

Docket No. JCLA12098

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re Application of : CHING-WU TSENG et al.

Application No. : 10/777,599

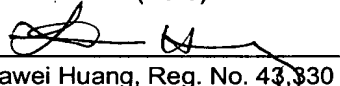
Filed : February 11, 2004

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

June 24, 2004

(Date)


Jiawei Huang, Reg. No. 43,330

For : VOLTAGE LEVEL SHIFTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92129089** filed on **October 21, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA12098).

Date: 6/24/2004

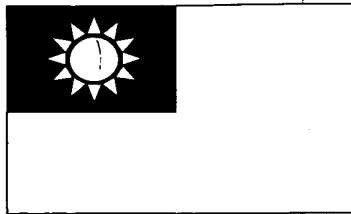
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/777,599

JCLF12098



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 21 日
Application Date

申請案號：092129089
Application No.

申請人：聯詠科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 3 月 1 日
Issue Date

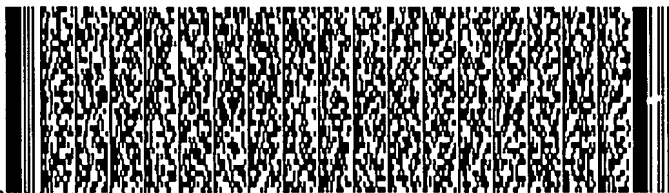
發文字號：09320194210
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	電壓位準轉換器
	英 文	Voltage Level Shifter
二、 發明人 (共2人)	姓 名 (中文)	1. 曾慶武 2. 鄧永佳
	姓 名 (英文)	1. TSENG, CHING WU 2. TANG, ALEX
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣三重市五華街93巷25號 2. 新竹市建新路92號3樓
	住居所 (英 文)	1. No. 25, Lane 93, Wuhua St., Sanchong City, Taipei County 241, Taiwan (R.O.C.) 2. 3F, No. 92, Chien-Hsin Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F., No. 13, Innovation Road I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. HO, TAI SHUNG



1200x1000.tif

四、中文發明摘要 (發明名稱：電壓位準轉換器)

一種電壓位準轉換器之電路，包括一及閘裝置，係用於運算週期性控制電位訊號與原始輸入訊號，產生同步訊號，與週期性控制電位訊號同相位之第一週期性控制電位訊號均輸入一電晶體裝置，係一反相器結構；該電路又包括一輸出緩衝器裝置，係用於產生輸出訊號之緩衝器裝置；另外包括一電容器元件，係用於儲存訊號。本發明中類似開關控制之設計，排除PMOS與NMOS同時導通之現象，減少類比電路之功率消耗。同時由於此電路係排除MOS通道長寬比之考量，避免因半導體製程漂移造成位準轉換過程不易控制。對於此種電晶體重複性高之位準轉換器電路得以減少較多的佈局面積，對降低成本有相當貢獻。

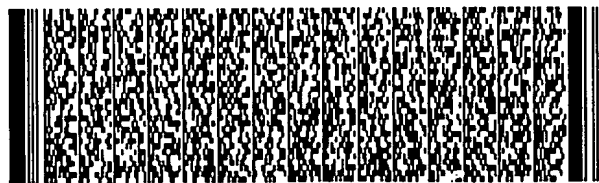
伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

301、303、305 高壓PMOS 電晶體

六、英文發明摘要 (發明名稱：Voltage Level Shifter)

A voltage level shifter is provided. The shifter comprises an AND gate, for generating a synchronizing signal according to a periodic signal and a primitive input signal. The synchronizing signal and a first periodic control signal that is in phase with the periodic control signal are propagated to a device constructed with an inverter. The voltage level shifter further



四、中文發明摘要 (發明名稱：電壓位準轉換器)

311、313 高壓NMOS電晶體

331 高壓反相器 351 高壓NMOS電晶體

六、英文發明摘要 (發明名稱：Voltage Level Shifter)

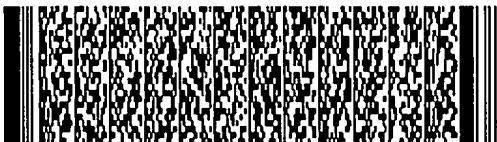
comprises a buffer structure for generating output signal. A capacitor is as well comprised of the voltage level shifter for storing a signal. The switching scheme of this invention avoids the possibility of conducting PMOS and NMOS from power supply to ground during switching status, thus power consumption is cut down. This invention also eliminates channel width/length ratio issue; thus



四、中文發明摘要 (發明名稱：電壓位準轉換器)

六、英文發明摘要 (發明名稱：Voltage Level Shifter)

fabrication migration problem is omitted for voltage level converting. Therefore, for a transistor-repeated layout, chip area is substantially lowered, and manufacturing cost is reduced thereby.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

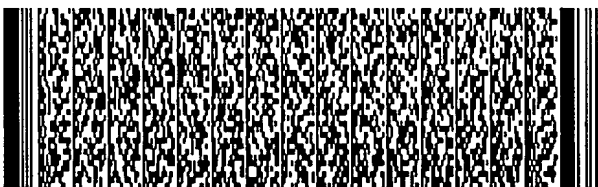
發明所屬之技術領域

本發明是有關於一種電壓位準轉換器之電路，且特別是有關於一種應用於液晶顯示器驅動電路之電壓位準轉換器之電路，提出阻斷直流路徑之概念，避免PMOS及NMOS於同一時刻導通，消耗不必要之直流功率，亦精簡佈局面積。

先前技術

通常以MOS技術設計電壓位準轉換器時，其輸出級至少包括一反相器，以作為緩衝之用，通常由一組PMOS、NMOS組成。而習知之設計中，當電壓在低壓及高壓之間切換時，希望能控制其中該些電晶體之切換時機，使得切換過程中PMOS與NMOS同時導通之時間最短，意即其中之直流功率消耗減至最低。但由於半導體製程中不可避免之生產飄移情況，即使仔細考量MOS通道長寬比，仍然存在可觀之直流功率消耗。

參考第4圖。第4圖係習知中之電壓位準轉換器之電路，以一差動輸入方式分別輸入NMOS電晶體411及415之閘極，輸出級由PMOS電晶體403與NMOS電晶體413所組成，即第4圖所示反相器431，例如為一高壓反相器。反相器433較反相器431所需之驅動能力較弱，通常以一低壓反相器實施，係做為當輸入時脈TTL電壓訊號VIN，轉化為差動輸入用。當輸入為時脈訊號，如第9圖所示，時脈TTL電壓訊號由低位準轉換成高位準時，因反相器433的關係，輸出反相輸入訊號至NMOS電晶體411閘極，且比VIN訊號稍微落



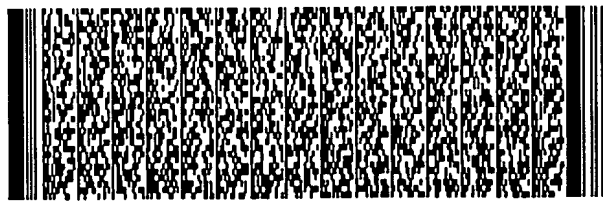
五、發明說明 (2)

後，所以當NMOS電晶體415導通而NMOS電晶體411還尚未關掉前，會有一極短的時間距PMOS電晶體405之閘極為低位準(GNDA)，因此PMOS電晶體405還停留在導通狀態，造成P、NMOS(405、415)同時導通，其訊號時訊圖如第9圖所示， $I(415)$ 在正緣時間距有一突波電流。而在這裡的差動輸入對，NMOS為了能夠迅速的控制PMOS閘極，使得PMOS能在極短的時間做開關轉態，故需要特別對電晶體通道長寬比(W/L之比例)做考量，因此設計成NMOS有較小之導通電阻，也就是通道寬度大、長度小，而PMOS則設計成有較大之導通電阻，寬度最小、長度大之設計。

同樣地，當輸入時脈訊號，如第4圖及第9圖所示，由高位準轉換成低位準時，NMOS電晶體415被關掉，NMOS電晶體411閘極因時間延遲的結果，尚未導通屬於高阻抗狀態，而PMOS電晶體401閘極之前一狀態為低位準，所以PMOS電晶體401目前還尚未關掉。當NMOS電晶體411閘極由低位準爬升至高位準時，一直還處於導通狀態的PMOS電晶體401導致另一個導通路徑，所以造成 $I(411)$ 在VIN之正緣時間距有一較大突波電流。

為了更進一步降低P、NMOS同時導通之功率消耗，亟需使高電壓與地線之間的路徑完全阻隔，減少類比電路之功率消耗。

另外，應用於液晶顯示驅動器之電壓位準轉換器需要相當佈局面積，若毋需考慮MOS通道長寬比，則在電路佈局時有更大配置彈性，對重複性高的位準轉換器電路容易



五、發明說明 (3)

減少佈局面積，以降低產品成本，獲得更高的利潤。

發明內容

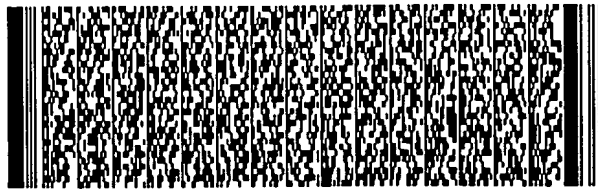
因此本發明的至少一目的就是在提供一種電壓位準轉換器，其中高電壓與地線之間的路徑完全阻隔。

本發明的至少再一目的是提供一種電壓位準轉換器，其中不需考慮電晶體通道之長寬比。

本發明的至少又一目的是提供一種電壓位準轉換器，用於液晶顯示器之驅動電路，其中因電路中電晶體重複性高而大幅減少電路佈局面積。

本發明提出至少一種電壓位準轉換器電路，此電路之基本觀念係阻斷電流路徑，使電路中串聯之PMOS與NMOS必須在不同時間點導通。因此安排其輸入/輸出控制時序。在此考慮數種輸入/輸出訊號狀態，以說明本發明之電路，然此發明之範圍不限於此，應以發明中之電壓位準轉換器電路所涵蓋之範圍為準。

若啟始時輸入訊號為電位低位準，輸出級為一反相器，輸出訊號電位亦為低位準。當輸入訊號由低位準轉換成高位準時，PMOS電晶體應該在NMOS電晶體開啟前先關閉，所以提供一控制訊號，超前輸入訊號一個時間距。其中該輸入訊號及該控制訊號先以一反閘邏輯運算，使控制訊號上升緣與輸入訊號上升緣之間期間PMOS呈現高阻抗狀態，所以此時輸出級之前節點電壓由電路中一電容保存原來高位準狀態，輸出級則輸出低位準狀態。則當輸入訊號切換為高位準時，NMOS電晶體即開啟，使得電容儲存之電

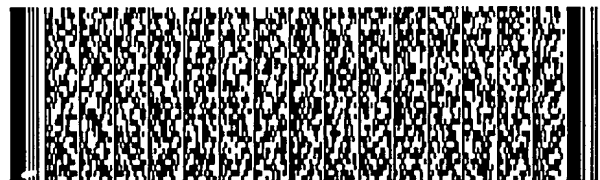
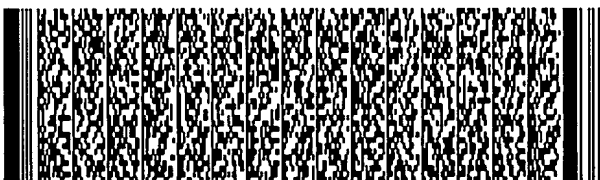


五、發明說明 (4)

壓經由NMOS電晶體之開啟，迅速被拉至低位準，輸出端位準則由一反相器拉至高位準狀態。同樣地，輸入訊號由高位準轉換成低位準時，NMOS電晶體應先關閉，在PMOS電晶體開啟前保有另一時間距呈高阻抗狀態，電容器上之位準則由該電容加以保持於地位準，接著再打開PMOS，使得先前之位準迅速充電至高位準，輸出級則輸出低位準狀態。因此控制訊號之設計對於電路操作有直接之影響。

當控制訊號以固定週期輸入，輸入訊號為高位準時，P型電晶體開啟，電容上節點之位準則由地位準，迅速充電至高位準，導致輸出錯誤。此時若在該N型電晶體與電容器之間串接一開關電晶體，由控制訊號控制，則阻斷上述之充電路徑，電容器上之位準得以保持。當控制訊號變低位準時，電容器上之位準由電容器加以保持於前一狀態。

本發明之電路中，該輸入端之及閘與該P型電晶體、N型電晶體在功能上可以用串聯方式簡化為三個串聯電晶體，由高壓位準至地線位準電位依序耦接一第一P型電晶體及一第一N型電晶體、一第二N型電晶體，其中該第二N型電晶體之閘極耦接該輸入訊號，該第一P型電晶體及該第一N型電晶體之閘極輸入一第一控制訊號。此外，除了輸出級緩衝器(例如上述之反相器)為了能驅動下一級，其中電晶體設計成適當的大小，而其他MOS則設計成製程規範之任意單位值，係作為輸出緩衝與訊號維持，即上述之儲存電容器，例如包括二個串聯P型電晶體，其中一第二P

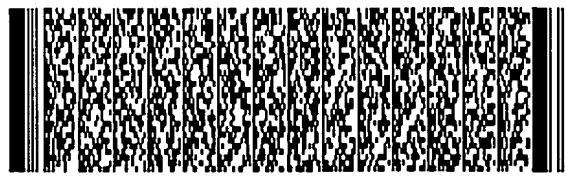


五、發明說明 (5)

型電晶體耦接至高壓位準，且其閘極耦接一第二控制訊號；一第三P型電晶體與輸出級之緩衝器(例如為反相器)耦接成一閃鎖接法。另外如上述之開關電晶體例如為一第三N型電晶體。而電路中之各P型電晶體設計成任意尺寸之場效電晶體，例如為高壓場效電晶體，排除製程漂移的不確定性，及增加設計電路的可靠性。

當輸入一時脈訊號，由低位準轉換成高位準時，該第一控制訊號以極小脈衝寬度輸入一負脈衝，在此一負脈衝期間，該第二N型電晶體為開啟狀態，而該第一控制訊號轉態為低位準使得該第一N型電晶體及該第三N型電晶體迅速關閉，該第一P型電晶體則導通，電容器上之節點則保持原來位準。此時該第二控制訊號以同樣時間點輸入一正脈衝，脈衝寬度較第一控制訊號為寬，在此一正脈衝期間，該第二P型電晶體為關閉狀態，所以該第二P型電晶體與該第三P型電晶體構成高阻抗路徑。當該第一控制訊號結束負脈衝時，致使該第一N型電晶體及該第三N型電晶體導通，而該第一P型電晶體關閉，電容器上之節點則迅速放電至低位準，輸出訊號則轉態為高位準狀態。因為輸出為高位準狀態，則該第三P型電晶體關閉，當該第二控制訊號結束正脈衝時，致使該第二P型電晶體導通，因為該第三P型電晶體關閉，所以該第二、第三P型電晶體亦構成高阻抗路徑，電容上之節點仍然維持低位準。

當輸入時脈訊號維持高位準，該第一、第二控制訊號同時輸入負正脈衝，使該第一P型電晶體導通，該第一N型



五、發明說明 (6)

電晶體及該第三N型電晶體關閉，電容上之電壓則保持於前一狀態。

同樣地，當輸入時脈訊號由高位準轉換成低位準時，該第一控制電位訊號亦以極小時間延遲輸入一負脈衝，使得該第一N型電晶體及該第三N型電晶體迅速關閉，該第一P型電晶體則導通，電容上之電位保持原來低位準狀態。

當該第一控制訊號結束負脈衝時，致使該第一N型電晶體及該第三N型電晶體導通，該第一P型電晶體則關閉，因為原來輸入訊號為低位準，該第二N型電晶體為關閉狀態，所以在該第二控制訊號還沒結束正脈衝前，會有一段時間距為高阻抗狀態，以該第二P型電晶體做為接面電容，此時輸出訊號為低位準。在該第二控制訊號之正脈衝結束後，則該第二P型電晶體迅速導通，所以該第二、第三P型電晶體則構成導通路徑，電容上之節點電位即由導通路徑拉至高壓位準。

當輸入時脈電壓訊號維持低位準，該第一、第二控制電位訊號同時輸入負正脈衝，使該第一P型電晶體導通，該第一及第三N型電晶體關閉，電容上之節點電壓則維持高位準狀態。之後會有一段時間距(T_d)為高阻抗狀態，以該第三P型電晶體做為接面電容維持高位準狀態。

根據本發明之電壓位準轉換器電路，所輸入兩個第一及第二控制電位訊號，例如為高壓控制電位訊號，皆以正、負脈衝做為電壓位準轉換器之控制訊號，當輸入訊號發生轉態時，即輸入一負脈衝(第一控制訊號)與正脈衝



五、發明說明 (7)

(第二控制訊號)，負脈衝寬度關係著正緣輸出延遲，應該輸入脈衝寬度較小之訊號。因為正、負脈衝之時間距會造成高阻抗，所以應該輸入略大於負脈衝寬度之正脈衝訊號，亦可避免輸入訊號在高位準時，該第二及第三P型電晶體與該第一、第二、及第三N型電晶體瞬間所造成的導通路徑。

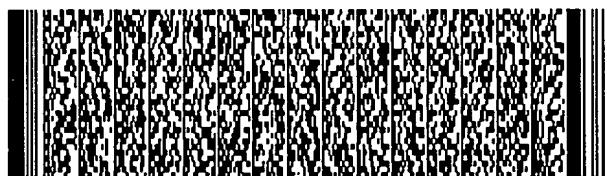
輸入訊號轉態成高位準時，本發明中之位準轉換器電路可能的導通路徑，即是該第一P型電晶體、該第一N型電晶體及第三N型電晶體轉態時所產生的路徑，如第3圖所示，因該第一P型電晶體及該第一N型電晶體為任何設計單位，所以通過該第一N型電晶體之突波電流遠小於習知電路在此時所產生等同之突波電流。

同樣地，當輸入時脈訊號由高位準轉換成低位準時，本發明之電壓位準轉換器電路在此輸入時脈訊號負緣存在時間距，因輸出級之緩衝器為P、NMOS架構之反相器，故會有一較小之突波電流發生。

根據以上對本發明之電壓位準轉換器電路之描述，得以更進一步降低P、NMOS同時導通之功率消耗，以兩個控制訊號開啟或關閉PMOS及NMOS，使高電壓與地線之間的路徑完全阻隔，減少類比電路之功率消耗。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式



五、發明說明 (8)

參考第1圖，所繪示為根據本發明一較佳實施例之一簡單概念電路。如第1圖所示，P型電晶體PMOS(101)與N型電晶體NMOS(111)是一反相器之基本架構，為了阻斷電流路徑，PMOS與NMOS必須在不同時間點導通。其輸入/輸出控制時序圖如第5圖所示，當輸入為時脈TTL電壓訊號(VIN)由低位準轉換成高位準時，電晶體101應該在電晶體111開啟前先關閉，所以輸入超前VIN一個時間距Tdis之控制電位訊號(VA)，例如為高壓控制電位訊號。而VOUT1B之前一狀態為類比高壓高位準(VDDA)，在Tdis期間為高阻抗狀態，所以此時電壓則由電容(121)保存原來高位準狀態，輸出級則輸出類比高壓低位準狀態(GNDA)。當VIN輸入為高位準時，電晶體111即開啟，使得VOUT1B迅速被拉至低位準(GNDA)，輸出級則輸出類比高壓高位準狀態(VDDA)。同樣地，VIN由高位準轉換成低位準時，電晶體111應先關閉，在電晶體101開啟前保有時間距Tk高阻抗狀態，VOUT1B之位準則由電容121加以保持於地位準，接著在打開電晶體101，使得先前之位準迅速充電至VDDA，輸出級則輸出類比高壓低位準狀態(GNDA)。因此控制訊號VA之設計對於電路操作有直接之影響。

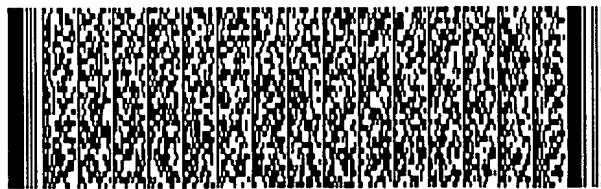
參考第6圖，其繪示根據本發明之一較佳實施例中，以固定週期訊號輸入該反相器時之時序圖。當控制電位訊號(VA)，以固定週期輸入，如第6圖所示，當輸入TTL電壓訊號(VIN)為高位準時，P型電晶體開啟，VOUT1B之位準則由地位準(GNDA)，迅速充電至VDDA，導致輸出錯誤。此時



五、發明說明 (9)

參考第2圖之電路，若串接一開關電晶體，如圖中之NMOS(251)，由電位訊號(VA)控制，則阻斷充電路徑，VOUT1B之位準則由電容器221加以保持於地位準。其時序便如第7圖所示，當電位訊號(VA)變低位準時，VOUT2B之位準則由電容器221加以保持於前一狀態。

接續本發明之設計流程，根據另一較佳實施例之電壓位準轉換器電路，如第3圖所繪示。除了輸出級緩衝器(331)為了能驅動下一級，故設計成適當的大小，而其他MOS則設計成製程規範之任意單位值，係作為輸出緩衝與訊號維持，如同第2圖所繪示之儲存電容(221)，而電路中之各PMOS設計成任意尺寸之場效電晶體，例如為高壓場效電晶體，排除製程漂移的不確定性，及增加設計電路的可靠性。當輸入一時脈訊號，如第8圖所示，時脈TTL電壓訊號由低位準轉換成高位準時，控制電位訊號(VA)以極小脈衝寬度為 T_{wa} 時間輸入一負脈衝，在此一負脈衝期間，第3圖電路示意圖中NMOS電晶體311為開啟狀態，而VA轉態為低位準使得NMOS電晶體313及開關電晶體351迅速關閉，PMOS電晶體301則導通，VOUT3B則保持原來位準，而控制電位訊號(VB)以同樣時間點輸入一正脈衝，脈衝寬度為 T_{wb} ，在此一正脈衝期間，PMOS電晶體303為關閉狀態，所以PMOS電晶體303與PMOS電晶體305則構成高阻抗路徑。當VA結束負脈衝時，致使NMOS電晶體313及開關電晶體351導通，而PMOS電晶體301關閉，VOUT3B則迅速放電至低位準(GNDA)，VOUT3則轉態為類比高壓高位準狀態(VDDA)。因



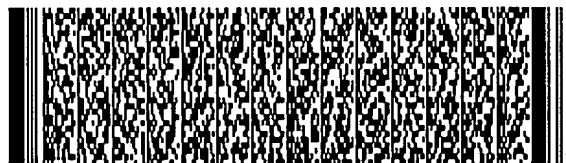
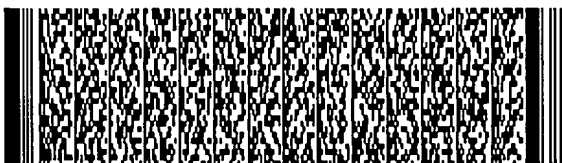
五、發明說明 (10)

為VOUT3為高位準狀態(VDDA)，則PMOS電晶體305關閉，當VB結束正脈衝時，致使PMOS電晶體303導通，因為PMOS電晶體305關閉，所以PMOS電晶體303與PMOS電晶體305亦構成高阻抗路徑，VOUT3B仍然維持低位準(GNDA)。

當時脈TTL電壓訊號維持高位準，控制電位訊號VA、VB同時輸入負正脈衝，使PMOS電晶體301導通，NMOS電晶體313及開關電晶體351關閉，VOUT3B則保持於前一狀態，如第8圖所示。

同樣地，當輸入時脈TTL電壓訊號(VIN)由高位準轉換成低位準時，控制電位訊號(VA)亦以極小時間延遲輸入一負脈衝，使得NMOS電晶體313及開關電晶體351迅速關閉，PMOS電晶體301則導通，VOUT3B保持原來低位準狀態(GNDA)。當VA結束負脈衝時，致使NMOS電晶體313及開關電晶體351導通，PMOS電晶體301則關閉，因為原來VIN為低位準，NMOS電晶體311為關閉狀態，所以在控制電位訊號(VB)還沒結束正脈衝前，會有一段時間距(T_d)為高阻抗狀態，時間距為 $T_d = T_{wb} - T_{wa}$ ，以PMOS電晶體305做為接面電容，如同第2圖所示電路中之電容(221)，此時輸出VOUT3為低位準(GNDA)。在VB正脈衝結束後，則PMOS電晶體303迅速導通，所以PMOS電晶體303與305則構成導通路徑，VOUT3B即由導通路徑與VDDA同位準。

當時脈TTL電壓訊號維持低位準，控制電位訊號VA、VB同時輸入負正脈衝，使PMOS電晶體301導通，NMOS電晶體313及開關電晶體351關閉，VOUT3B則維持類比高壓高位



五、發明說明 (11)

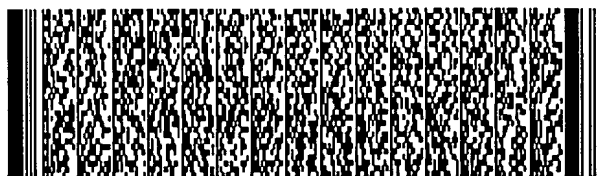
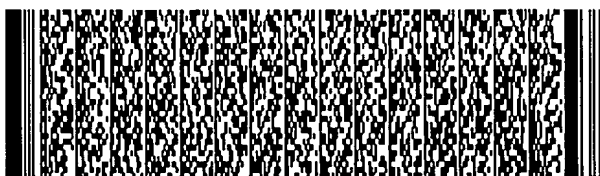
準狀態(VDDA)，如第8圖所示。之後會有一段時間距(T_d)為高阻抗狀態，以PMOS電晶體305做為接面電容維持類比高壓高位準狀態(VDDA)。

根據本發明中一較佳實施例之電壓位準轉換器電路，所輸入兩個控制電位訊號(VA, VB)例如為控制電位訊號，皆以正、負脈衝做為電壓位準轉換器之控制訊號，當輸入TTL訊號(VIN)發生轉態時，即輸入一負脈衝(VA)與正脈衝(VB)，VA脈衝寬度為 T_{wa} 關係著正緣輸出延遲，應該輸入脈衝寬度(T_{wa})較小之訊號。因為 T_d 時間距會造成高阻抗，所以應該輸入略大於 T_{wa} 之正脈衝訊號(VB)，亦可避免VIN在高位準時，PMOS(303、305)與NMOS(311、313、351)瞬間所造成的導通路徑。

VIN轉態成高位準時，本發明中一較佳實施例之電壓位準轉換器電路可能的導通路徑，即是PMOS電晶體301、NMOS電晶體313及開關電晶體351轉態時所產生的路徑，如第3圖所示，因P、NMOS(301、313)為任何設計單位，所以 $I(313)$ 之突波電流遠小於 $I(415)$ 在此時所產生之突波電流。

同樣地，當輸入時脈訊號如第9圖所示，由高位準轉換成低位準時，本發明一較佳實施例之電壓位準轉換器電路在此輸入時脈訊號負緣時間距，因反相器為P、NMOS架構之反相器，故會有一較小之突波電流發生。

為了更進一步降低P、NMOS同時導通之功率消耗，以兩個控制訊號開啟或關閉PMOS及NMOS，使高電壓與地線之



五、發明說明 (12)

間的路徑完全阻隔，減少類比電路之功率消耗。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係繪示依照本發明一較佳實施例之電壓位準轉換器電路。

第2圖係繪示依照本發明另一較佳實施例之電壓位準轉換器電路。

第3圖係繪示依照本發明又一較佳實施例之電壓位準轉換器電路。

第4圖係繪示根據習知技術之電壓位準轉換器電路。

第5圖係繪示依照本發明中一較佳實施例之電壓位準轉換器電路(第1圖)之簡單輸出與輸入電壓波形示意圖

第6圖係繪示依照本發明中一較佳實施例之電壓位準轉換器電路(第1圖)之輸出與輸入電壓波形示意圖。

第7圖係繪示依照本發明中另一較佳實施例之電壓位準轉換器電路(第2圖)之輸出與輸入電壓波形示意圖。

第8圖係繪示依照本發明中又一較佳實施例之電壓位準轉換器電路(第3圖)之輸出與輸入電壓波形示意圖。

第9圖係繪示習知及本發明中較佳實施例之電壓位準轉換器電路之輸入電壓與電晶體電流關係圖。

圖式標記說明：

101、201、301、303、305、401、403、405 高壓
PMOS 電晶體

111、211、311、313、411、413、415 高壓NMOS
電晶體

121、221 儲存電容器

131、231、331 高壓反相器



圖式簡單說明

141、241	低壓及開
251、351	關電晶體
431	高壓反相器
433	低壓反相器



六、申請專利範圍

1. 一種電壓位準轉換器，包括：

一及閘，係用於運算一第一控制訊號與一輸入訊號，產生一同步訊號，其中該第一控制訊號為週期性訊號；

一電晶體裝置，包括以汲極串聯耦接之一第一電晶體耦接至地線、及一第二電晶體耦接至一電壓源，其中該同步訊號耦接至該第一電晶體之閘極，該第一控制訊號耦接至一第二電晶體之閘極；

一輸出緩衝器，係用於產生一輸出訊號，其中一輸入端與該第一電晶體及該第二電晶體之汲極耦接，該輸入端係一第一節點；以及

一電容器，係用於儲存該第一節點之訊號位準，該電容器另一端接地。

2. 如申請專利範圍第1項所述之電壓位準轉換器，其中該第一電晶體為一N型金氧半導體電晶體(NMOS)。

3. 如申請專利範圍第1項所述之電壓位準轉換器，其中該第二電晶體為一P型金氧半導體電晶體(PMOS)。

4. 如申請專利範圍第1項所述之電壓位準轉換器，該電壓位準轉換器更包括一開關，由該第一控制訊號操作，其中一端耦接該第一節點，另一端耦接至該第一電晶體之汲極。

5. 如申請專利範圍第4項所述之電壓位準轉換器，其中該開關係一N型金氧半導體電晶體。

6. 如申請專利範圍第4項所述之電壓位準轉換器，其中該及閘及該電晶體裝置，更可合併成串聯耦接之裝置，



六、申請專利範圍

包括一第三電晶體耦接至該電壓源、一第四電晶體、及一第五電晶體耦接至地線，其中該第三電晶體係PMOS、該第四、第五電晶體係NMOS，該第三電晶體之閘極耦接該第一控制訊號，該第四電晶體之閘極耦接該第一控制訊號，該第五電晶體耦接該輸入訊號，該第四電晶體之源極耦接至該開關。

7. 如申請專利範圍第1項所述之電壓位準轉換器，其中該輸出緩衝器，係P、NMOS結構之一反相器。

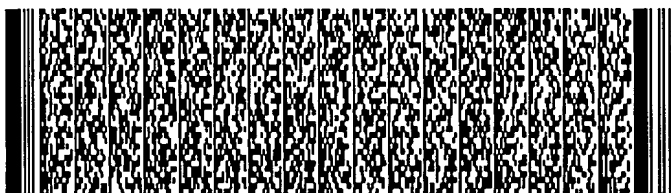
8. 如申請專利範圍第1項所述之電壓位準轉換器，其中該電容器係電晶體之雜散電容。

9. 如申請專利範圍第1項所述之電壓位準轉換器，其中該電容器，係連接一第六電晶體，其汲極連接該第一節點，閘極連接該輸出緩衝器之輸出端，其源極連接一第七電晶體，而其閘極耦接一第二控制訊號，其中該第六電晶體及該第七電晶體係PMOS。

10. 如申請專利範圍第1項所述之電壓位準轉換器，其中該第一控制訊號係週期性之一負脈衝，該第二控制訊號係週期性之一正脈衝，該第一控制訊號與該第二控制訊號同步，且該負脈衝之脈寬較該正脈衝之脈寬為窄。

11. 如申請專利範圍第1項所述之電壓位準轉換器，其中該及閘係低壓電晶體裝置，該電晶體裝置、該輸出緩衝器、及該電容器裝置係高壓場效電晶體裝置。

12. 如申請專利範圍第1項所述之電壓位準轉換器，其中輸入該及閘之該第一控制訊號係低壓訊號，與輸入該



六、申請專利範圍

第二電晶體之該第一控制訊號同相，係高壓訊號。

13. 如申請專利範圍第9項所述之電壓位準轉換器，其中該第三、第四、第五、第六、及第七電晶體係高壓場效電晶體裝置。

14. 一種電壓位準轉換器，至少包括：

一輸入電晶體裝置，係以串聯耦接之裝置，包括一第一電晶體耦接至一電壓源、一第二電晶體、及一第三電晶體耦接至地線，其中該第一電晶體係PMOS、該第二、第三電晶體係NMOS，該第一電晶體之閘極耦接一第一控制訊號，該第二電晶體之閘極耦接該第一控制訊號，該第三電晶體耦接一輸入訊號，該第二電晶體之源極耦接至該開關，且該第二電晶體與該第三電晶體耦接於一第一節點；

一開關，由該第一控制訊號操作，其中一端耦接該第一節點；

一電容裝置，耦接至該開關之另一端，係一第二節點；以及

一輸出緩衝裝置，耦接至該第二節點。

15. 如申請專利範圍第14項所述之電壓位準轉換器，其中該電容器係電晶體之雜散電容。

16. 如申請專利範圍第14項所述之電壓位準轉換器，其中該電容器，係連接一第四電晶體，其汲極連接該第二節點，閘極連接該輸出緩衝器之輸出端，其源極連接一第五電晶體，而其閘極耦接一第二控制訊號，其中該第四電晶體及該第五電晶體係PMOS。

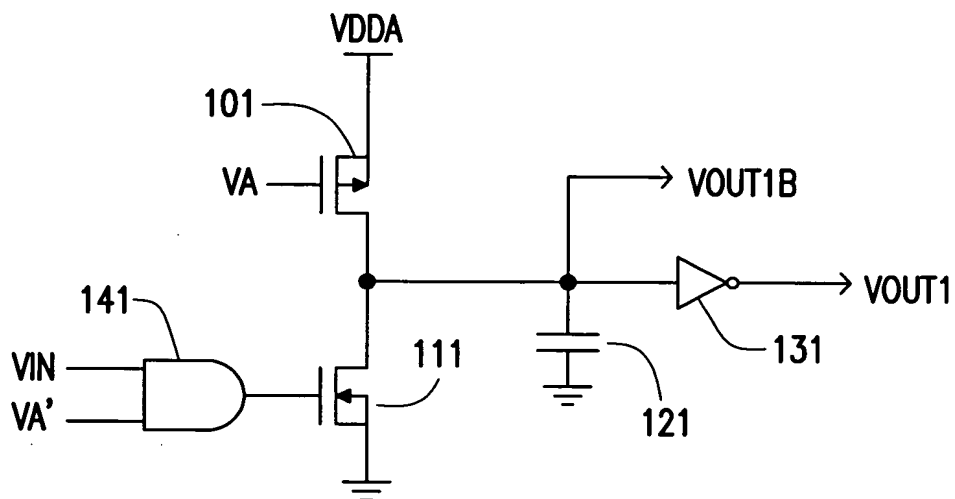


六、申請專利範圍

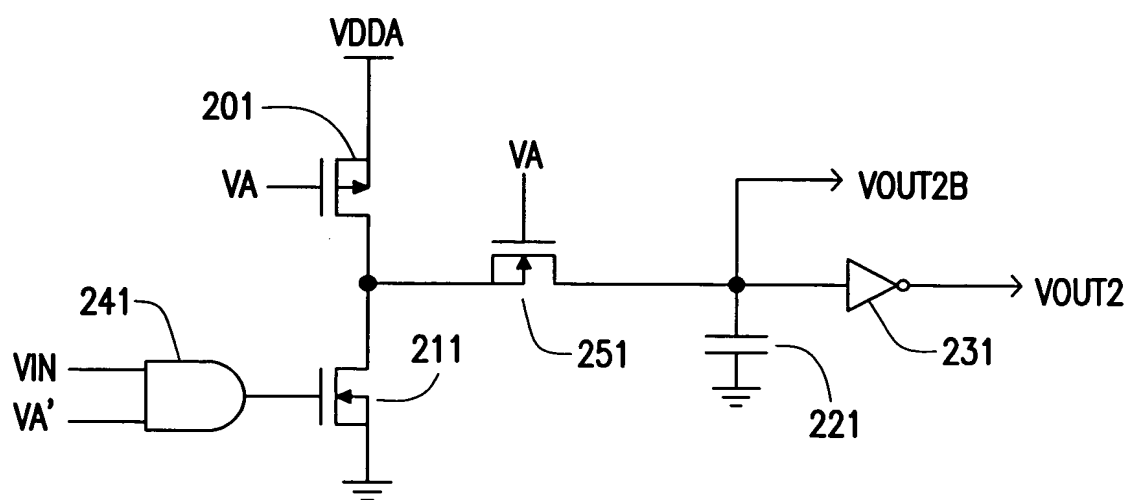
17. 如申請專利範圍第14項所述之電壓位準轉換器，其中該第一控制訊號係週期性之一負脈衝，該第二控制訊號係週期性之一正脈衝，該第一控制訊號與該第二控制訊號同步，且該負脈衝之脈寬較該正脈衝之脈寬為窄。

18. 如申請專利範圍第16項所述之電壓位準轉換器，其中該第一、第二、第三、第四、及第五電晶體，以及輸出緩衝器係高壓場效電晶體裝置。

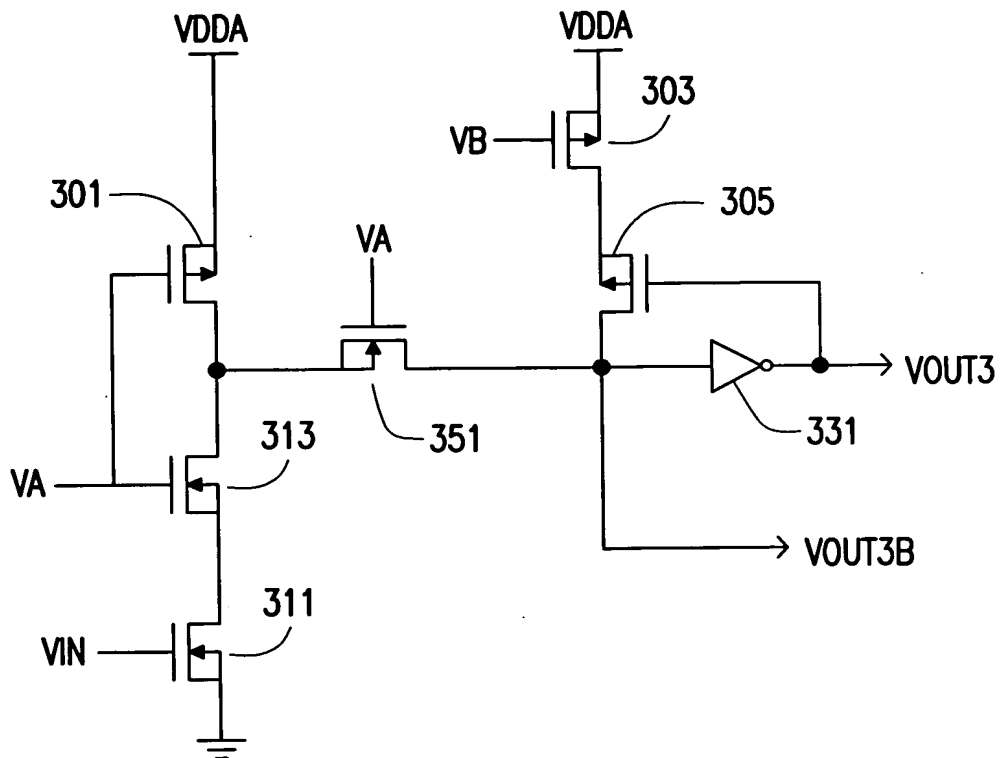




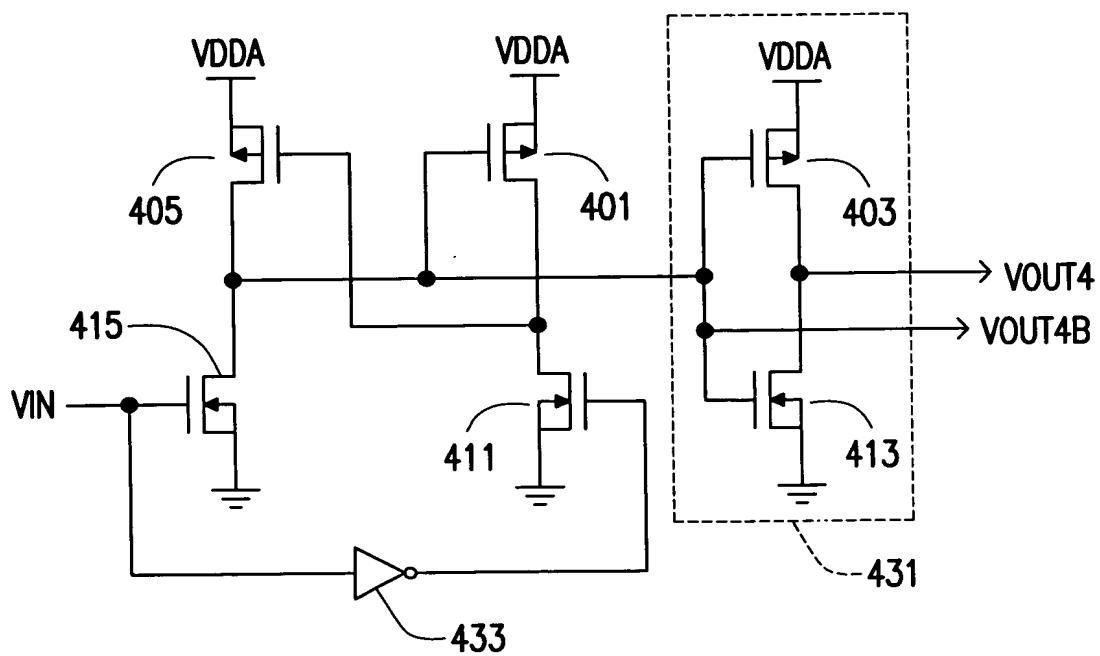
第 1 圖



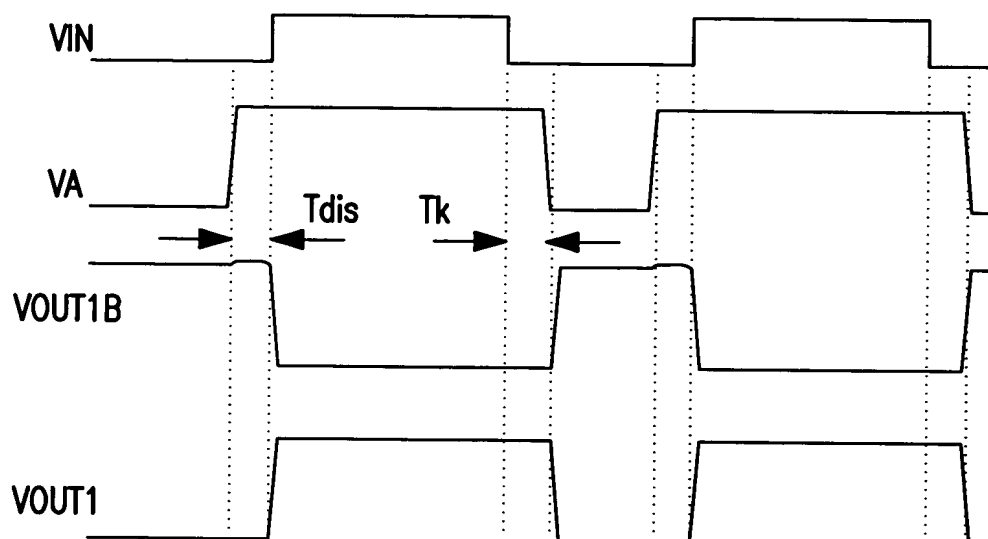
第 2 圖



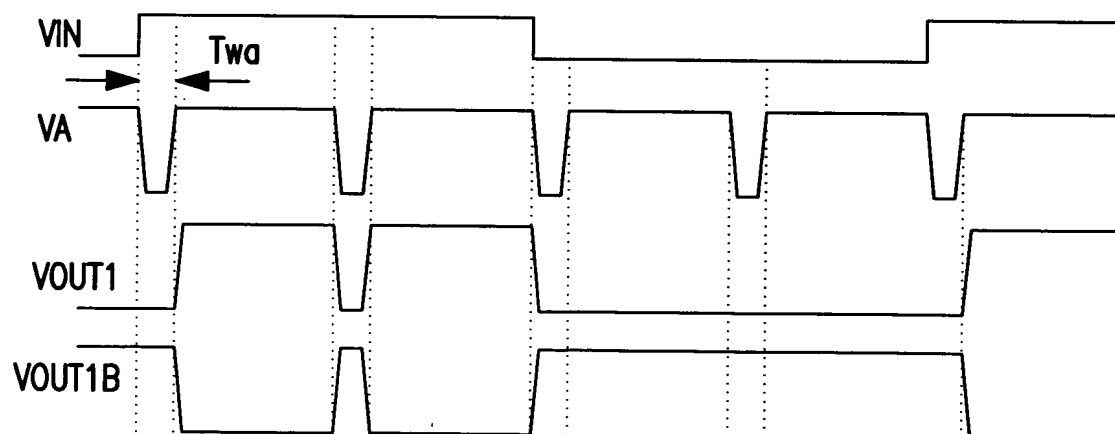
第 3 圖



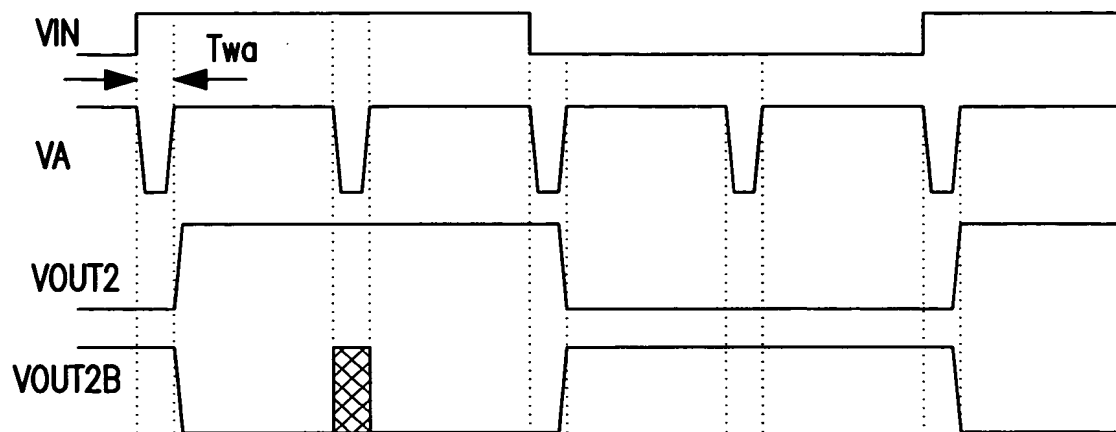
第 4 圖



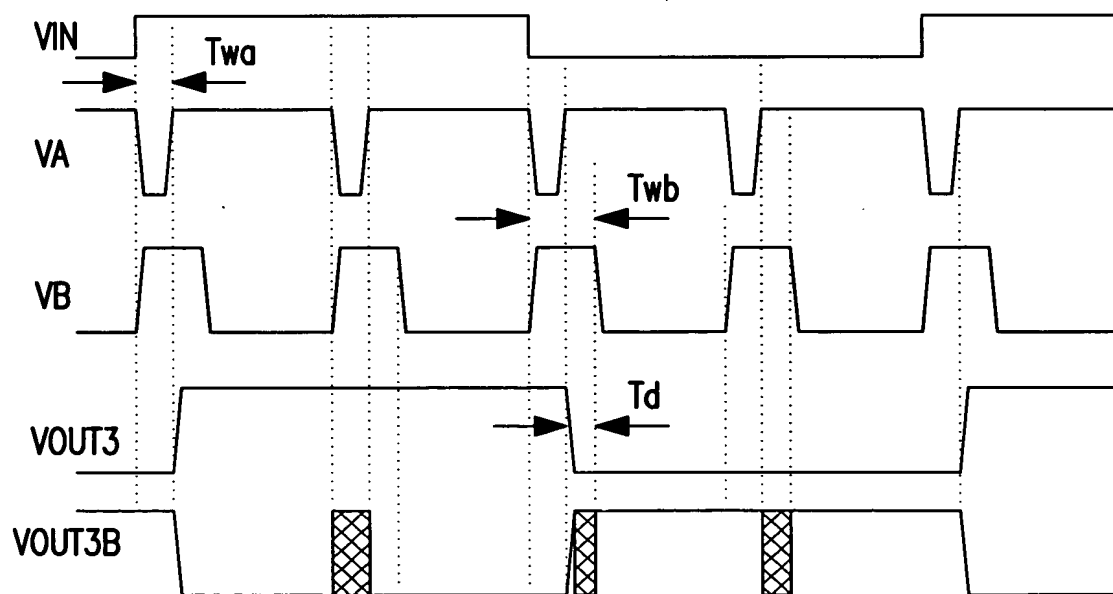
第 5 圖



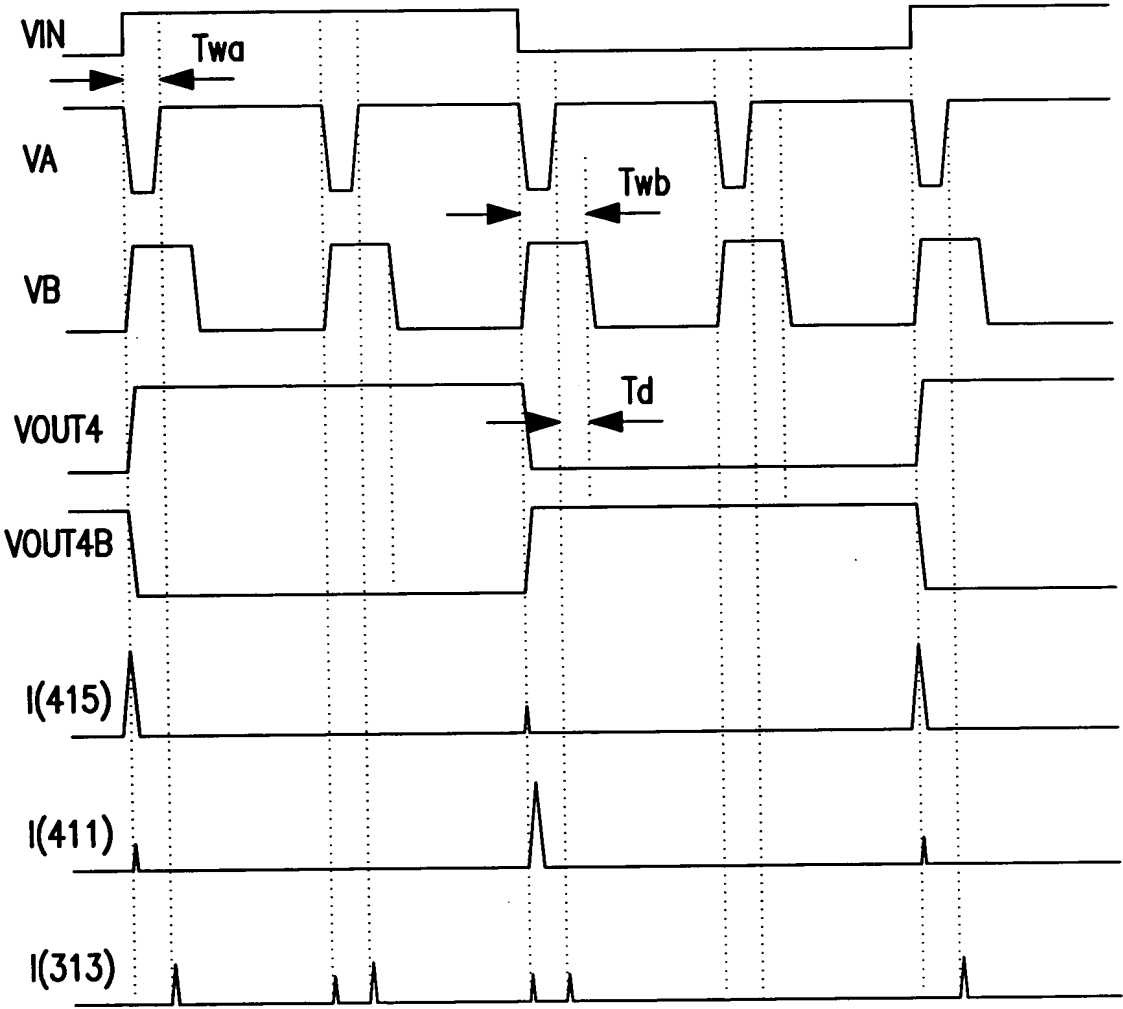
第 6 圖



第 7 圖



第 8 圖



第 9 圖

100

100

100

100

100

100

[illegible]

100

1000

100

100

1000

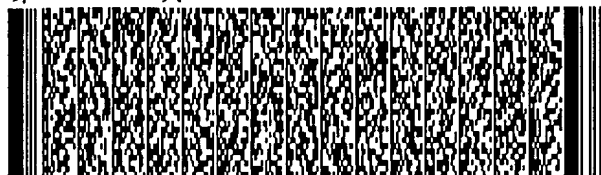
第 11/23 頁



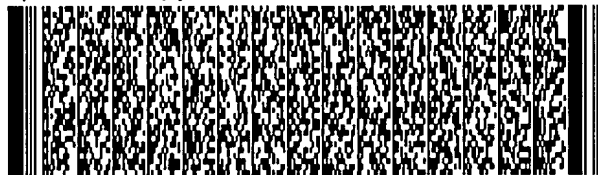
第 11/23 頁



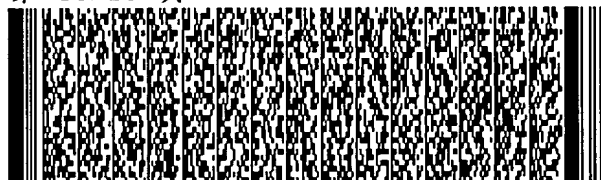
第 12/23 頁



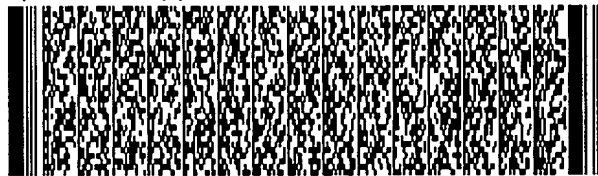
第 12/23 頁



第 13/23 頁



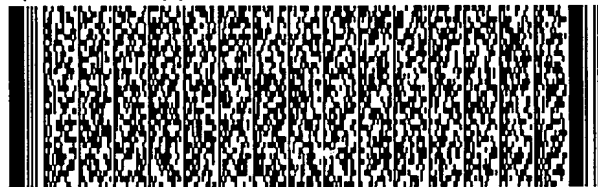
第 13/23 頁



第 14/23 頁



第 14/23 頁



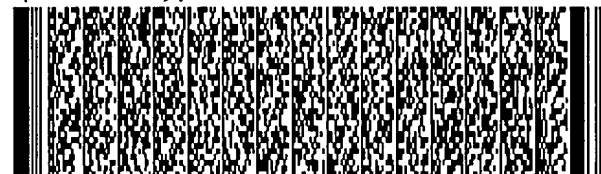
第 15/23 頁



第 15/23 頁



第 16/23 頁



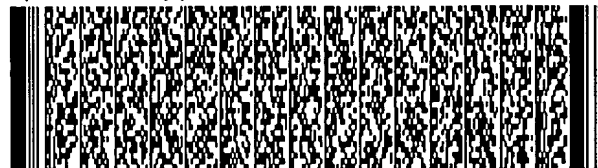
第 16/23 頁



第 17/23 頁



第 18/23 頁



第 19/23 頁



第 20/23 頁



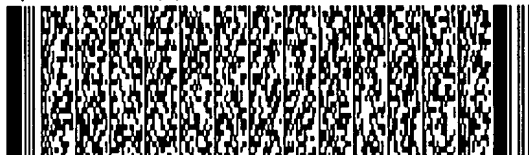
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

